

(19) KOREAN PATENT ABSTRACT (KR)

(12) PUBLICATION (A)

(51) IPC Code: H01L 21/8242 (11) Publication No.: 10-2004-0059775
(43) Publication Date: 6 July 2004
(21) Application No.: 10-2002-0086278
(22) Application Date: 30 December 2002
(71) Applicant: Hynix Semiconductor Inc.
San 136-1, Ami-ri, Bubal-eup, Ichon-city, Kyunggi-do, Korea
(72) Inventor: Kwan Hong
Kyugnam APT 713-401, Yatop-dong, Bundang-gu,
Sungnam-si, Kyunggi-do.
(74) Representative Shinsung international patent & law firm
(54) Title of the Invention: Method of manufacturing capacitor with ruthenium lower electrode

Abstract:

A Method of manufacturing a ruthenium lower electrode and a capacitor with the ruthenium lower electrode is disclosed. The adoption of the ruthenium lower electrode results in obtaining a large area by overcoming difficulties according to limitation on etching of a storage node oxide layer, and obtaining required static electricity capacity. The method of manufacturing a capacitor with the ruthenium lower electrode includes: forming an interlayer insulator on a semiconductor substrate; forming a contact hole, exposing a portion of the semiconductor substrate by etching the interlayer insulator; filling the contact hole with a storage node contact sequentially stacked by a plug and a barrier metal; depositing a first ruthenium layer with high density and a second ruthenium layer with pores on the interlayer insulator including the storage node contact, wherein the first and second ruthenium layers are used as a lower electrode; heat-treating the porous second ruthenium layer to be fused; forming a high dielectric layer on the fused second ruthenium layer; heat-treating the high-dielectric layer; and forming an upper electrode on the high dielectric layer.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷	(11) 공개번호	10-2004-0059775
H01L 21/8242	(43) 공개일자	2004년07월06일

(21) 출원번호	10-2002-0086278
(22) 출원일자	2002년12월30일
(71) 출원인	주식회사 하이닉스반도체
	경기 이천시 부발읍 아미리 산136-1
(72) 발명자	홍권
	경기도성남시분당구야탑동경남아파트713-401
(74) 대리인	특허법인 신성

심사청구 : 있음

(54) 루테튬 하부전극을 구비한 캐패시터의 제조 방법**요약**

본 발명은 스토리지노드산화막의 식각 한계에 따른 면적확보의 어려움을 극복하고, 요구되는 정전용량을 확보하는데 적합한 루테튬 하부전극의 형성 방법 및 그를 이용한 캐패시터 제조 방법을 제공하기 위한 것으로, 본 발명의 캐패시터의 제조 방법은 반도체 기판 상에 중간절연막을 형성하는 단계, 상기 중간절연막을 식각하여 상기 반도체 기판의 일부를 노출시키는 콘택홀을 형성하는 단계, 상기 콘택홀에 플러그와 배리어메탈의 순서로 적층된 스토리지노드 콘택을 매립시키는 단계, 상기 스토리지노드 콘택을 포함한 상기 중간절연막 상에 하부전극으로서 막질이 치밀한 제1 루테튬막과 막질이 다공질인 제2 루테튬막을 적층 형성하는 단계, 상기 다공질인 제2 루테튬막을 열처리하여 응집을 발생시키는 단계, 상기 응집이 발생된 제2 루테튬막상에 고유전막을 형성하는 단계, 상기 고유전막을 열처리하는 단계, 및 상기 고유전막 상에 상부전극을 형성하는 단계를 포함한다.

도면

도 1a

도 2a

캐패시터, 루테튬막, 다공질, 응집, 열처리, CVD, ALD

도 4a

도면의 간단한 설명

도 1a는 종래 기술에 따른 루테튬 하부전극을 갖는 캐패시터를 개략적으로 도시한 구조 단면도,

도 1b는 루테튬 하부전극의 응집을 도시한 도면,

도 2a 내지 도 2d는 본 발명의 실시예에 따른 캐패시터의 제조 방법을 도시한 공정 단면도,

도 3은 본 발명의 실시예에 따른 캐패시터의 하부전극과 배리어메탈의 상세도.

* 도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판	22 : 중간절연막
23 : 폴리실리콘플러그	24a : 티타늄실리사이드
24b : 티타늄나이트라이드	25a : 제1 루테튬막
25b : 제2 루테튬막	26 : 고유전막
27 : 상부전극	X : 응집

2004. 07. 23

2004. 07. 23. 10. 2004. 07. 23.

본 발명은 반도체 제조 기술에 관한 것으로, 특히 무테늄막의 형성 방법 및 그를 이용한 캐패시터의 제조 방법에 관한 것이다.

최근에 메모리 소자의 집적도가 증가하면서 보다 높은 캐패시턴스와 작은 누설전류 특성이 요구됨에 따라 DRAM 구조에서 누설전류가 작은 HIM(Metal-Insulator-Metal) 구조로 변화되고 있다.

다시 말하면, 집적화되면서 보다 높은 유전상수를 지니는 Al_2O_3 , TiO_2 , HfO_2 , ZrO_2 , BLT, BST, Ta_2O_5 등의 고유전 상수를 갖는 유전막이 요구됨과 동시에 누설전류를 감소시키기 위해 일함수값이 큰 금속을 상부전극 및 하부전극으로 적용해야 한다.

전극으로 적용되는 금속은 백금(Pt), 이리듐(Ir), 루테늄(Ru), 산화이리듐막(IrO_2), 산화루테늄막(RuO_2), 백금합금(Pt-alloy) 등이 있다.

상기한 금속막 중 루테늄(Ru)은 백금(Pt)과 비교하여 식각 공정이 상대적으로 쉬워, DRAM 및 FeRAM과 같은 메모리 소자(memory device)에 사용되는 감응전체 및 고유전체 재료로 구성되는 박막 캐패시터의 캐패시터 전극으로 적용될 수 있을 것으로 기대된다.

이와 같이 HIM 캐패시터의 하부전극으로 고려되고 있는 루테늄(Ru)은 화학기상증착(Cheical Vapor Deposition; CVD) 공정 및 원자층증착(Atomic Layer Deposition; ALD) 공정을 통해 증착하고 있다.

도 1a는 종래 기술에 따른 루테늄 하부전극을 갖는 캐패시터를 개략적으로 도시한 구조 단면도이고, 도 1b는 루테늄 하부전극의 응집을 도시한 도면이다.

도 1a에 도시된 바와 같이, 반도체 기판(11)상에 형성된 층간절연막(12), 층간절연막(12)을 식각하여 제 공하는 스토리지노드 콘택홀에 플러실리콘플러그(13)와 배리어메탈(14a, 14b)의 적층으로 이루어진 스토리지노드 콘택이 형성되고, 스토리지노드 콘택상에 루테늄 하부전극(15)이 형성되며, 루테늄 하부전극(15) 상에 고유전막(16)과 상부전극(17)이 적층된다.

그러나, 종래 기술에서, 화학기상증착(CVD) 공정을 통해 증착한 루테늄(이하 'CVD 루테늄'이라고 약칭함)은 고온 증착에서는 매우 치밀하고 우수한 특성의 막을 얻을 수 있지만, 단차피복성(Step coverage)이 취약하고, 260°C ~ 400°C 정도의 저온에서 증착된 CVD 루테늄은 비록 단차피복성이 고온 증착시보다 우수하지만 막질이 다공질(porous)하여 후처리 공정시 응집(agglomeration)이 심화되는 문제가 있다(도 1b의 '15a'). 이와 같이, 응집이 심화되는 경우, 캐패시터의 전극 면적을 감소시켜 정전용량의 확보 측면에서 부적절하다. 아울러, 루테늄이 심하게 응집하는 응집이 발생하는 경우 배리어메탈(14a, 14b)의 상부층(14b)이 드러나 후속 산소분위기의 열처리 공정을 진행하면서 산소(O_2)가 확산하여 배리어메탈(14a, 14b)의 상부층(14b)을 산화시킴에 따라 누설전류가 증가하는 문제가 있다.

또한, 매우 치밀하고 우수한 루테늄을 증착하고, Ta_2O_5 와 HfO_2/Al_2O_3 와 같은 고유전막을 채증하더라도 스토리지노드산화막(Storage node oxide)의 식각 한계로 인해, 70nm 이하의 차세대 반도체 소자에서 2F/셀 이상의 정전용량을 확보하기가 어려워, 하부전극의 면적 증대 및 고유전막 개발이 시급한 실정이다.

2004. 07. 23. 10. 2004. 07. 23.

본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 스토리지노드산화막의 식각 한계에 따른 면적확보의 어려움을 극복하고, 요구되는 정전용량을 확보하는데 적합한 루테늄 하부전극의 형성 방법 및 그를 이용한 캐패시터 제조 방법을 제공하는데 그 목적이 있다.

2004. 07. 23. 10. 2004. 07. 23.

상기 목적을 달성하기 위한 본 발명의 캐패시터의 하부전극 형성 방법은 막질이 치밀한 제1 루테늄막을 증착하는 단계, 상기 제1 루테늄막 상에 다공질인 제2 루테늄막을 증착하는 단계, 및 상기 다공질인 제2 루테늄막을 열처리하여 응집을 발생시키는 단계를 포함하는 것을 특징으로 한다.

그리고, 본 발명의 캐패시터의 제조 방법은 반도체 기판 상에 층간절연막을 형성하는 단계, 상기 층간절연막을 식각하여 상기 반도체 기판의 일부를 노출시키는 콘택홀을 형성하는 단계, 상기 콘택홀에 플러그와 배리어메탈의 순서로 적층된 스토리지노드 콘택을 매립시키는 단계, 상기 스토리지노드 콘택을 포함한 상기 층간절연막 상에 하부전극으로서 막질이 치밀한 제1 루테늄막과 막질이 다공질인 제2 루테늄막을 적층 형성하는 단계, 상기 다공질인 제2 루테늄막을 열처리하여 응집을 발생시키는 단계, 상기 응집이 발생된 제2 루테늄막상에 고유전막을 형성하는 단계, 상기 고유전막을 열처리하는 단계, 및 상기 고유전막 상에 상부전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 2a 내지 도 2e는 본 발명의 실시예에 따른 캐패시터의 제조 방법을 도시한 공정 단면도이다.

도 2a에 도시된 바와 같이, 트랜지스터 및 비트라인(도시 생략) 형성 공정이 완료된 반도체기판(21) 상부

에 공간절연막(22)을 형성한 후, 공간절연막(22)을 식각하여 반도체 기판(21)의 일부, 바람직하게는 트랜지스터의 소스/드레인을 노출시키는 스토리지노드 콘택홀(도시 생략)을 형성한다. 다음에, 스토리지노드 콘택홀에 폴리실리콘플러그(23)를 부분 매립시킨 후, 폴리실리콘플러그(23)상에 티타늄실리사이드(24a)와 티타늄나이트라이드(24b)의 순서로 적층된 배리어메탈을 형성하여 스토리지노드콘택홀을 완전히 매립시킨다. 여기서, 스토리지노드 콘택홀을 채우는 폴리실리콘플러그(23)와 배리어메탈의 적층 구조를 통상적으로 스토리지노드콘택(SNC)이라고 일컫는다.

한편, 배리어메탈을 스토리지노드콘택에 매립시키는 방법은 폴리실리콘플러그(23)를 포함한 공간절연막(22) 상에 티타늄을 I-PVD(Ionized Physical Vapor Deposition)법 또는 CVD법을 이용하여 100 Å ~ 500 Å의 두께로 증착한 후, 질소 또는 NH_3 분위기에서 650°C ~ 800°C의 온도로 30초 ~ 180초동안 급속 열처리(Rapid Thermal Annealing)하여 C49상 또는 C54상을 갖는 티타늄실리사이드(24a)를 형성한다. 이때, 티타늄실리사이드(24a)는 폴리실리콘플러그(23)의 실리콘과 티타늄이 반응하여 형성된 것으로, 비저항이 낮은 C49상 또는 C54상을 갖는다. 다음에, 공간절연막(22) 표면에 잔류하는 티타늄을 습식 식각을 통해 제거하고, 스토리지노드 콘택홀을 완전히 채울때까지 티타늄실리사이드(24a)를 포함한 공간절연막(22) 상에 티타늄나이트라이드(24b)를 증착한다. 다음에, 에치백 또는 화학적기계적연마(CMP)를 통해 공간절연막(22)의 표면이 드러날때까지 티타늄나이트라이드(24b)를 평탄화시킨다.

전술한 바와 같은 배리어메탈에서, 티타늄실리사이드(24a)는 콘택저항 감소를 위한 오믹콘택(ohmic contact)을 형성하기 위한 것이고, 티타늄나이트라이드(24b)는 폴리실리콘플러그(23)와 후속 하부전극간의 상호 확산을 방지하기 위한 확산배리어(diffusion barrier)로 작용한다.

다음으로, 배리어메탈 및 공간절연막(22) 상에 제1 루테튬막(25a)을 증착한다. 이때, 제1 루테튬막(25a)은, 500°C ~ 600°C의 고온에서 증착한 CVD 루테튬 또는 ALD 루테튬을 이용한다. 예컨대, 제1 루테튬막(25a)으로 이용되는 CVD 루테튬 또는 ALD 루테튬은 1torr ~ 4torr의 압력하에서 루테튬전구체와 산소(O_2)를 반응시켜 증착하는데, 이때 산소(O_2)의 유량은 100sccm ~ 500sccm이고, 산소를 환원시키기 위한 NH_3 가스를 100sccm ~ 2000sccm의 유량으로 공급하며, 루테튬전구체의 플로우율(flow rate)은 0.2g/분 ~ 1g/분의 범위를 유지한다.

이와 같이, 고온에서 증착한 제1 루테튬막(25a)은 막내에 탄소(carbon)와 같은 불순물 및 산소가 잔류하지 않기 때문에 막질이 치밀하다.

도 2b에 도시된 바와 같이, 제1 루테튬막(25a) 상에 제2 루테튬막(25b)을 증착한다. 이때, 제2 루테튬막(25b)은 제1 루테튬막(25a)과 달리 상대적으로 낮은 온도(200°C ~ 300°C)에서 증착한 CVD 루테튬이다. 예컨대, 제2 루테튬막(25b)은 1torr ~ 4torr의 압력하에서 루테튬전구체와 산소(O_2)를 반응시켜 증착하는데, 이때 산소(O_2)의 유량은 100sccm ~ 500sccm이고, 산소를 환원시키기 위한 NH_3 가스를 100sccm ~ 2000sccm의 유량으로 공급하며, 루테튬전구체의 플로우율(flow rate)은 0.2g/분 ~ 1g/분의 범위를 유지한다.

이와 같이, 막질이 치밀한 제1 루테튬막(25a) 상에 증착되는 제2 루테튬막(25b)은 저온에서 증착하므로 막내에 탄소와 같은 불순물이 소량 존재하는 다공질(porous) 막질이며, 제1,2 루테튬막(25a, 25b)은 하부전극으로 이용된다.

한편, 제1,2 루테튬막(25a, 25b)을 증착하기 위한 루테튬전구체로는 $Ru(Cp)_2$, $Ru(MeCp)_2$, $Ru(EtCp)_2$, $Ru(tolhd)_3$, $Ru(mhd)_3$, 및 $Ru(od)_3$ 로 이루어진 그룹중에서 선택된 하나를 이용하며, 루테튬전구체를 분해시키기 위한 반응가스로 산소를 이용하는 것이며, 산소를 환원시키기 위해 암모니아 가스를 이용하는 것이다.

도 2c에 도시된 바와 같이, 다공질인 제2 루테튬막(25b)을 질소(N_2) 또는 질소(N_2)와 산소(O_2)의 혼합 가스 분위기에서 450°C ~ 650°C의 온도로 10초 ~ 120초동안 급속열처리(Rapid Thermal Annealing)하여 응집('X')을 발생시킨다. 증대기술에서 밝힌 바와 같이, 저온에서 증착한 루테튬막은 응집이 쉽게 발생한다.

이와 같은 응집('X')은 통상적인 폴리실리콘 하부전극 표면에 MPS(Meta stable PolySilicon)를 형성하는 것과 같이 하부전극 표면에 굴곡을 심하게 형성하여 표면적을 증대시킨다.

도 2d에 도시된 바와 같이, 응집('X')이 발생한 제2 루테튬막(25b) 상에 고유전막(26)을 증착한다. 이때, 고유전막(26)은, 잘 알려진 바와 같이, 화학기상증착법 또는 원자층증착법을 이용하여 증착한 Ta_2O_5 , HfO_2 , SiO_2 , BST, PZT 또는 ZrO_2 를 이용한다. 예컨대, 고유전막(26)으로 Ta_2O_5 를 이용하는 경우, Ta_2O_5 의 증착에 대해 살펴보면, 먼저 탄탈륨소스를 증착챔버내로 공급하기 전에 탄탈륨에틸레이트($Ta(OC_2H_5)_5$)를 170°C ~ 190°C로 유지되는 기화기(Vaporizer)에서 기상 상태로 만든다. 계속해서, 기상 상태의 탄탈륨에틸레이트를 증착챔버내에 공급하고, 반응가스인 산소(O_2)를 10sccm ~ 1000sccm으로 공급하여 탄탈륨에틸레이트를 열분해시켜 Ta_2O_5 를 증착시킨다. 이 때, 증착챔버는 0.1torr ~ 2torr의 압력을 유지하고, 반도체 기판(21)은 300°C ~ 450°C로 가열된다. 후속 열공정으로 저온(300°C ~ 500°C)에서 N_2 와 O_2 의 혼합가스 또는 H_2O 가스 분위기에서 플라즈마처리하거나 또는 UV/O₃ 처리하여 Ta_2O_5 내 존재하는 불순물을 제거한 후, 고온(500°C ~ 650°C)에서 N_2 가스 분위기에서 로(Furnace) 또는 급속열처리(RTA)하여 Ta_2O_5 의 유전특성을 확보한다.

전술한 바와 같은, 증착후의 저온 열처리 및 고온 열처리는 본 발명에서 이용하고자 하는 모든 고유전막(26)에 적용한다.

다음으로, 고유전막(26)상에 상부전극(27)을 형성한다. 이때, 상부전극(27)은 고온에서 증착하여 치밀한 구조를 갖는 CVD 루테튬 또는 ALD 루테튬을 이용한다.

후속 공정으로, 도면에 도시되지 않았지만, 마스크 및 식각 공정을 통해 상부전극(27), 고유전막(26) 및 제1,2 루테튬막(25a, 25b)을 식각하여 적층 캐패시터를 완성한다.

도 3은 본 발명의 실시예에 따른 캐패시터의 하부전극과 배리어메탈의 상세도이다.

도 3에 도시된 바와 같이, 본 발명의 캐패시터는, 하부전극을 치밀한 구조의 제1 루테튬막(25a)과 응집('X')이 발생된 제2 루테튬막(25b)의 적층으로 형성하여 유효 전극 면적을 확보할 수 있다.

또한, 제2 루테튬막(25b)의 응집('X')을 발생시키기 위한 급속열처리시 제1 루테튬막(25a)은 막질이 치밀하므로 응집이 발생하지 않고, 따라서 제2 루테튬막(25b)의 응집('X')이 발생되더라도 배리어메탈의 티타늄나이트라이드(24b)가 드러나지 않는다. 결국, 후속 산소분위기의 열처리시 제1 루테튬막(25a)이 산소의 확산을 방지하므로 티타늄나이트라이드(24b)의 산화를 방지하여 누설 전류가 증가하는 것을 억제할 수 있다.

전술한 실시예에서는 적층 구조의 캐패시터에 대해 설명하였으나, 본 발명은 콘케이브 구조 또는 실린더 구조의 캐패시터 제조 방법에도 적용 가능하다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같은 본 발명은 치밀한 루테튬막과 다공질 루테튬막의 이중막을 하부전극으로 이용하면서 다공질 루테튬막을 열처리하여 응집을 발생시킴으로써 70nm급의 소자에서 충분히 유효 전극 면적을 확보하여 요구되는 정전용량을 확보할 수 있는 효과가 있다.

또한, 스토리지노드산화막의 식각에 대한 부담을 줄일 수 있어 고집적 캐패시터를 제조할 수 있는 효과가 있다.

(5) 청구의 범위

청구항 1. 막질이 치밀한 제1 루테튬막을 증착하는 단계;

상기 제1 루테튬막 상에 다공질인 제2 루테튬막을 증착하는 단계; 및

상기 다공질인 제2 루테튬막을 열처리하여 응집을 발생시키는 단계를 포함하는 캐패시터의 하부전극 형성 방법.

청구항 2. 제1 항에 있어서,

상기 제1 루테튬막은 500℃ ~ 600℃의 온도에서 증착하고, 상기 제2 루테튬막은 200℃ ~ 300℃의 온도에서 증착하는 것을 특징으로 하는 캐패시터의 하부전극 형성 방법.

청구항 3. 제1 항 또는 제2 항에 있어서,

상기 제1 루테튬막은 화학기상증착법 또는 원자층증착법을 이용하여 증착하고, 상기 제2 루테튬막은 화학기상증착법을 이용하여 증착하는 것을 특징으로 하는 캐패시터의 하부전극 형성 방법.

청구항 4. 제1 항에 있어서,

상기 응집을 발생시키는 단계는,

질소(N₂) 또는 질소(N₂)와 산소(O₂)의 혼합 가스 분위기에서 450℃ ~ 650℃의 온도로 10초 ~ 120초동안 급속 열처리하는 것을 특징으로 하는 캐패시터의 하부전극 형성 방법.

청구항 5. 반도체 기판 상에 중간절연막을 형성하는 단계;

상기 중간절연막을 식각하여 상기 반도체 기판의 일부를 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀에 플러그와 배리어메탈의 순서로 적층된 스토리지노드 콘택을 매립시키는 단계;

상기 스토리지노드 콘택을 포함한 상기 중간절연막 상에 하부전극으로서 막질이 치밀한 제1 루테튬막과 막질이 다공질인 제2 루테튬막을 적층 형성하는 단계;

상기 다공질인 제2 루테튬막을 열처리하여 응집을 발생시키는 단계;

상기 응집이 발생된 제2 루테튬막상에 고유전막을 형성하는 단계;

상기 고유전막을 열처리하는 단계; 및

상기 고유전막 상에 상부전극을 형성하는 단계

을 포함하는 캐패시터의 제조 방법.

청구항 6. 제5 항에 있어서,

상기 제1 무터늄막은 화학기상증착법 또는 원자층증착법을 이용하여 500℃ ~ 600℃의 온도에서 증착하고, 상기 제2 무터늄막은 화학기상증착법을 이용하여 200℃ ~ 300℃의 온도에서 증착하는 것을 특징으로 하는 캐패시터의 제조 방법.

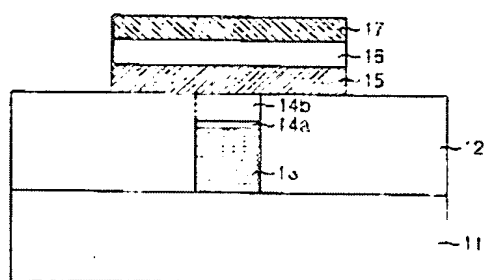
청구항 7. 제5 항에 있어서,

상기 제2 무터늄막을 열처리하여 응집을 발생시키는 단계는,

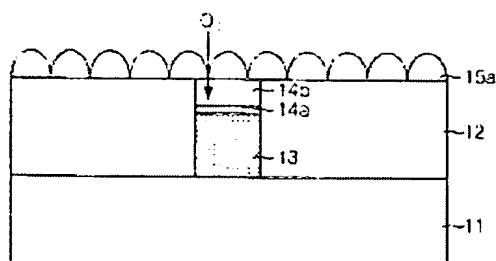
질소(N_2) 또는 질소(N_2)와 산소(O_2)의 혼합 가스 분위기에서 450℃ ~ 650℃의 온도로 10초 ~ 120초동안 금속 열처리하는 것을 특징으로 하는 캐패시터의 제조 방법.

도 1

도 1a



도 1b



도 1c

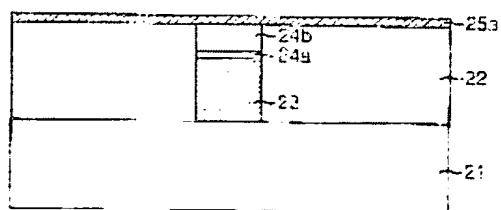


FIG. 5

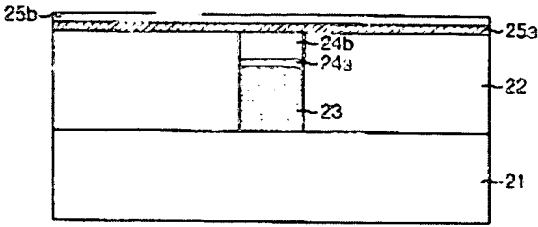


FIG. 6

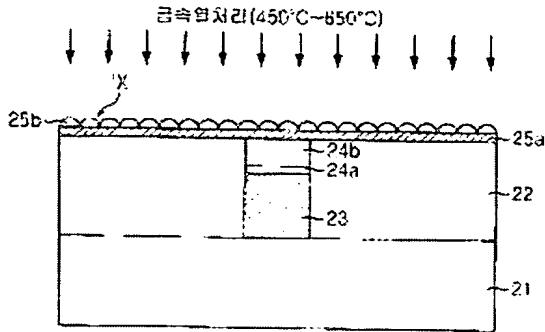


FIG. 7

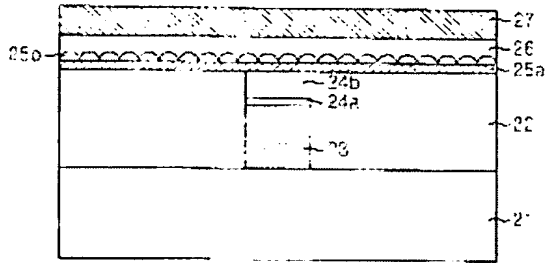


FIG. 8

